

【特許請求の範囲】

【請求項1】複数の走査電極と、複数のデータ電極と、前記複数の走査電極と前記複数のデータ電極との各交差部分に配置された複数の表示セルとを備えたプラズマディスプレイパネルを駆動するにあたり、前記表示セルの放電後のデータ電極に残存する電荷を回収及び再利用するプラズマディスプレイパネルの駆動方法において、定電圧電源による駆動電圧をデータ電極に印加する第1種の印加工程と、前記電荷回収回路に回収された電荷をデータ電極に印加し、これに続いて定電圧電源による駆動電圧をデータ電極に印加する第2種の印加工程と、データ電極に残存する電荷をグランドへ排出する排出工程と、データ電極に残存する電荷を前記電荷回収回路に回収する回収工程とを備えることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】前記第1種の印加工程及び前記排出工程からなる第1種のデータパルスと、前記第2種の印加工程及び前記回収工程からなる第2種のデータパルスとを多数組合せて成ることを特徴とする請求項1に記載のプラズマディスプレイパネルの駆動方法。

【請求項3】パネル上のデータ電極を二のデータ電極群に束ね、以下の2の工程を交互に行うことを特徴とする請求項2に記載のプラズマディスプレイパネルの駆動方法。2の工程のうち一方は、前記第2種のデータパルスを一のデータ電極群内の各データ電極に同期して印加し、前記一のデータ電極群における第2種の印加工程の終了と同時に、前記第1種のデータパルスを他のデータ電極群内の各データ電極に印加する工程であり、他方は、前記第2種のデータパルスを前記他のデータ電極群内の各データ電極に同期して印加し、前記他のデータ電極群における第2種の印加工程終了と同時に、前記第1種のデータパルスを前記一のデータ電極群に印加する工程である。

【請求項4】走査電極に走査パルスの印加を開始した後、前記走査パルスによって走査される第1種のデータパルスを一のデータ電極群に印加することを特徴とする請求項3に記載のプラズマディスプレイパネルの駆動方法。

【請求項5】一のデータ電極群における回収工程中に、他のデータ電極群における第2種の印加工程を開始することを特徴とする請求項3又は請求項4に記載のプラズマディスプレイパネルの駆動方法。

【請求項6】パネル上のデータ電極が二以上のデータ電極群に束ねられ、前記二以上のデータ電極群の各々に専用のデータ駆動回路が設けられ、さらに、前記専用のデータ駆動回路の各々に専用の電源部が設けられてなることを特徴とするプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、プラズマディスプレイの駆動方法及び駆動装置に係り、特に電荷の回収及び再利用を行うプラズマディスプレイパネルに関するものである。

【0002】

【従来の技術】一般に、プラズマディスプレイパネル（略称：PDP）は、薄型構造でちらつきがなく表示コントラスト比が大きいことや、比較的に大画面とすることが可能であり、応答速度が速く、自発光型で蛍光体の利用により多色発光も可能であることなど、数多くの特徴を有している。このために、近年コンピュータ関連の表示装置の分野およびカラー画像表示の分野等において、広く利用されるようになりつつある。

【0003】このPDPには、その動作方式により、電極が誘電膜で被覆されて間接的に交流放電の状態で作動させるAC型のものと、電極が放電空間に露出して直流放電の状態で作動させるDC型のものがある。AC型は、電極上に誘電膜と保護層による絶縁体膜が付設されている点でDC型と異なる。また、AC型には、電極の配置構造により、電極を対向する基板上に付設した2電極対向型、電極を一方の基板上に形成した2電極面放電型、さらにこれを発展させた3電極面放電型に分類され、3電極面放電型が現在の主流となっている。

【0004】

【発明が解決しようとする課題】近年のPDPは、多階調表示化及び大画面化による表示セルの増加が著しい。このため、書き込みされる点灯セル数が増加し、書き込み放電時に走査電極に流れるピーク電流値が増大し、電極及び駆動回路のインピーダンスによる電圧降下が大きくなる。これを防ぎ、安定した書き込み放電を行うには、より高い電圧値の走査パルス及びデータパルスを印加しなければならない。しかし、高い電圧値による走査パルス及びデータパルスの印加は消費電力が増大する問題点がある。

【0005】そこで、PDPのデータパルスの消費電力を削減する方法として、特開平8-160901には、データ電極を駆動する電力として電荷の回収及び再利用を行う方法が提案されている。この方法は、データパルスの1回の書き込み毎に電荷を回収して、次の書き込み時に回収した電荷を再利用し、データパルスでの消費電力を削減しようとするものである。

【0006】この方法を採用した場合、データパルスの書き込み毎に電荷を回収して再利用するため、書込時間が増大してしまうという弱点がある。一般に、電荷の回収及び再利用に要する時間は各300～600nS程の時間を要し、この時間がPDPの行数分必要となる。

【0007】かかる電荷の回収及び再利用に要する時間は、現代のPDPの多階調表示化の妨げとなる。

【0008】本発明は以上の従来技術における問題に鑑みてなされたものであって、PDP駆動装置におけるデ

ータ電極を駆動するデータパルスは短時間、低消費電力で駆動し、さらに安定した書き込み放電を達成することができるプラズマディスプレイの駆動方法及び駆動装置を提供することを目的とする。

【0009】

【課題を解決するための手段】前記課題を解決する本出願第1の発明は、複数の走査電極と、複数のデータ電極と、前記複数の走査電極と前記複数のデータ電極との各交差部分に配置された複数の表示セルとを備えたプラズマディスプレイパネルを駆動するにあたり、前記表示セルの放電後のデータ電極に残存する電荷を回収及び再利用するプラズマディスプレイパネルの駆動方法において、定電圧電源による駆動電圧をデータ電極に印加する第1種の印加工程と、前記電荷回収回路に回収された電荷をデータ電極に印加し、これに続いて定電圧電源による駆動電圧をデータ電極に印加する第2種の印加工程と、データ電極に残存する電荷をグランドへ排出する排出工程と、データ電極に残存する電荷を前記電荷回収回路に回収する回収工程とを備えることを特徴とするプラズマディスプレイパネルの駆動方法である。

【0010】したがって、本出願第1の発明のプラズマディスプレイパネルの駆動方法によれば、放電後のデータ電極に残存する電荷を電荷回収回路に回収し、かかる電荷回収回路に回収された電荷を再利用してデータ電極に印加するプラズマディスプレイパネルの駆動方法において、第1種の印加工程と、第2種の印加工程と、排出工程と、回収工程との組合せとして、定電圧電源による駆動電圧がデータ電極に印加され、これに続いてデータ電極に残存する電荷がグランドへ放出される第1種のデータパルスP1（図5参照）と、電荷回収回路に回収された電荷がデータ電極に印加され、これに続いて定電圧電源による駆動電圧がデータ電極に印加され、さらにこれに続いてデータ電極に残存する電荷が電荷回収回路に回収される第2種のデータパルスP2（図5参照）と、定電圧電源による駆動電圧がデータ電極に印加され、これに続いてデータ電極に残存する電荷が電荷回収回路に回収される第3種のデータパルスP3（図5参照）と、電荷回収回路に回収された電荷がデータ電極に印加され、これに続いて定電圧電源による駆動電圧がデータ電極に印加され、さらにこれに続いてデータ電極に残存する電荷がグランドへ放出される第4種のデータパルスP4（図5参照）との4種類のデータパルスがあり、かかる4種類のデータパルスを多数組合せることにより、第1種のデータパルスのみで駆動する従来技術よりも、電荷の回収及び再利用を行うことで低消費電力で駆動でき、また、第2種のデータパルスのみで駆動する従来技術よりも、短時間でデータパルスを印加するので駆動の高速化を図ることができる。すなわち、データ電極を駆動するデータパルスの低消費電力化及び駆動の高速化という2の効果を必要に応じてバランス良く得ることがで

きるという利点がある。ただし、第1種のデータパルスと第2種のデータパルスと3種のデータパルスの組合せ及び第1種のデータパルスと第2種のデータパルスと第4種のデータパルス組み合わせでは、かかる電荷の回収及び再利用が実質的にはできないので除く。ここで、データパルスとは電極放電を行う点灯セルに印加される駆動波形のことである。

【0011】本出願第2の発明は、本出願第1の発明のプラズマディスプレイパネルの駆動方法において、前記第1種の印加工程及び前記排出工程からなる第1種のデータパルスと、前記第2種の印加工程及び前記回収工程からなる第2種のデータパルスを多数組合せて成ることを特徴とするプラズマディスプレイパネルの駆動方法である。

【0012】したがって、本出願第2の発明は、本出願第1の発明のプラズマディスプレイパネルの駆動方法において、第1種の工程及び排出工程からなる第1種のデータパルスと、第2種の工程及び回収工程からなる第2種のデータパルスを、どの様に組合せても電荷回収回路に電荷を回収したまま1フレームの書き込みが終了し、かかる電荷回収回路に電荷が回収されているので、次のフレームにおける最初の電荷の再利用時に、十分な電荷が蓄えられているという利点がある。

【0013】本出願第3の発明は、本出願第2の発明のプラズマディスプレイパネルの駆動方法において、パネル上のデータ電極を二のデータ電極群に束ね、以下の2の工程を交互に行うことを特徴とするプラズマディスプレイパネルの駆動方法である。2の工程のうち一方は、前記第2種のデータパルスを一のデータ電極群内の各データ電極に同期して印加し、前記一のデータ電極群における第2種の印加工程の終了と同時に、前記第1種のデータパルスを他のデータ電極群内の各データ電極に印加する工程であり、他方は、前記第2種のデータパルスを前記他のデータ電極群内の各データ電極に同期して印加し、前記他のデータ電極群における第2種の印加工程終了と同時に、前記第1種のデータパルスを前記一のデータ電極群に印加する工程である。

【0014】したがって、本出願第3の発明のプラズマディスプレイパネルの駆動方法によれば、データ電極を二のデータ電極群に束ね、かかるデータ電極群に第1種のデータパルスと第2種のデータパルスを交互に印加することにより、定期的に無効電力を電荷回収回路に回収するため、かかる電荷回収回路に回収される電荷量が安定し、より良い電荷の回収及び再利用ができるという利点がある。

【0015】また、第2種のデータパルスを一のデータ電極群に印加し、その印加工程終了と同時に、第1種のデータパルスを他のデータ電極群に印加することにより、データ電極全体において、1回のデータパルスの印加における消費電力量が一定になり、安定するという利

点がある。ここでは、データ電極群を2のデータ電極群に束ねたが、3以上のデータ電極群に束ねた場合でも同様な効果がある。

【0016】本出願第4の発明は、本出願第3の発明のプラズマディスプレイパネルの駆動方法において、走査電極に走査パルスの印加を開始した後、前記走査パルスによって走査される第1種のデータパルスを一のデータ電極群に印加することを特徴とするプラズマディスプレイパネルの駆動方法である。

【0017】したがって、本出願第4の発明のプラズマディスプレイパネルの駆動方法によれば、まず、一のデータ電極群において第2種のデータパルスを印加する。次に、走査パルスを走査電極に印加すると、かかる走査パルスと第2種のデータパルスによる電極放電が起こる。次に、他のデータ電極群において第1種のデータパルスを印加すると、かかる走査パルスと第1種のデータパルスによる電極放電が起こる。よって、データ電極群ごとに電極放電のタイミングが異なるので、走査電極に電流を分割して供給することができ、かかる走査電極に印加する電圧の降下を抑え、安定した書き込みができるという利点がある。

【0018】本出願第5の発明は、本出願第3の発明及び本出願第4の発明のプラズマディスプレイパネルの駆動方法において、一のデータ電極群における回収工程中に、他のデータ電極群における第2種の印加工程を開始することを特徴とするプラズマディスプレイパネルの駆動方法である。

【0019】したがって、本出願第5の発明のプラズマディスプレイパネルの駆動方法によれば、一のデータ電極群の回収工程と、他のデータ電極群の第2種の印加工程とを行う時間を重ねることにより、さらに短時間に印加することができるという利点がある。

【0020】また短時間で印加できるので、時間にゆとりが生まれ、電荷の回収及び再利用がされる第2データパルスの数を増加するように選択することができ、さらに低消費電力で印加することができるという利点がある。

【0021】本出願第6の発明は、パネル上のデータ電極が二以上のデータ電極群に束ねられ、前記二以上のデータ電極群の各々に専用のデータ駆動回路が設けられ、さらに、前記専用のデータ駆動回路の各々に専用の電源部が設けられてなることを特徴とするプラズマディスプレイパネルの駆動装置である。

【0022】したがって、本出願第6の発明のプラズマディスプレイパネルの駆動装置によれば、パネル上のデータ電極が二以上のデータ電極群に束ねられ、前記二以上のデータ電極群の各々に専用のデータ駆動回路が設けられ、さらに、前記専用のデータ駆動回路の各々に専用の電源部が設けられ、かかる電源部は、定電圧電源と電荷回収回路が設けられ、かかる電荷回収回路において、

電極放電後の専用のデータ電極群に残存する電荷の回収と、かかる電荷回収回路に回収された電荷を専用のデータ電極群への電圧の印加とをデータ電極群ごとと独立に制御できるという利点がある。

【0023】かかる制御とは、電極放電後のデータ電極群に残存する電荷の回収を既定の設定に応じてしたり、しなかったりし、電荷回収回路に回収された電荷をデータ電極群への電圧の印加を既定の設定に応じてしたり、しなかったりをデータ電極群ごとと独立に行うことである。

【0024】また、本出願第6の発明のプラズマディスプレイパネルの駆動装置によれば、本出願第3の発明、本出願第4の発明及び本出願第5の発明のプラズマディスプレイパネルの駆動方法を実施することができる。

【0025】

【発明の実施の形態】以下に本発明の実施の形態のプラズマディスプレイパネルの駆動方法及び駆動装置につき図面を参照して説明する。

【0026】実施の形態1

図1は本発明の実施の形態1における1パネル上の走査電極に印加される走査パルス p_s 、データ電極群DXに印加される p_x 、データ電極群DYに印加されるデータパルス p_y 及び走査電極に流れる放電電流 p_i を示すタイミング図である。図2は本発明による駆動方法を実現するためのプラズマディスプレイパネルを示す構成図である。

【0027】図2に示すように、プラズマディスプレイパネル4の水平方向の端部に走査電極、維持電極の取り出し部がある。走査電極の取り出し部は、走査電極1本ずつに走査パルス p_s を出力する走査電極駆動回路1が接続される。維持電極の取り出し部は、維持電極に維持パルスを出力する維持電極駆動回路2が接続される。

【0028】また、パネル上のデータ電極が、データ電極Da1、Da2、・・・Damを備えたデータ電極群DXとデータ電極Db1、Db2、・・・Dbnを備えたデータ電極群DYとに束ねられ、プラズマディスプレイパネル4の垂直方向の端部にデータ電極の取り出し部が2ヵ所ある。1のデータ電極の取り出し部は、データ電極群DXにデータパルス p_{dx} を出力するデータ駆動回路3Xが接続される。他のデータ電極の取り出し部は、データ電極群DYにデータパルス p_{dy} を出力するデータ駆動回路3Yが接続される。なお、データ駆動回路3X及びデータ駆動回路3Yはそれぞれ独立にデータ電極群DX及びデータ電極群DYを駆動する。

【0029】図3は、図2のプラズマディスプレイパネルの構成図のうちデータ駆動回路3X及びデータ駆動回路3Yの詳細な回路図を示す。

【0030】データ駆動回路3Xは、データ電極群DXに接続されたデータドライバ9Xと、さらにデータドライバ9Xに接続された電源部8Xとを備える。

【0031】データドライバ9Xは書き込みに応じてON又はOFFするFETトランジスタQpa1~Qpam及びQna1~Qnamを備える。

【0032】電源部8Xは、定電圧電源部VXと電荷回収回路10Xとを備える。定電圧電源部VXは、定電圧電源VDからなり、電荷回収回路10Xは、プラズマディスプレイパネルの静電容量よりも大きい容量のコンデンサCX、FETトランジスタQ1~Q4、高速にスイッチをON又はOFFするダイオードD1~D2及びインダクタンスL1を備える。

【0033】データ駆動回路3Yは、データ電極群DYに接続されたデータドライバ9Yと、さらにデータドライバ9Yに接続された電源部8Yとを備える。

【0034】データドライバ9Yは書き込みに応じてON又はOFFするFETトランジスタQpb1~Qpbn及びQnb1~Qnbnを備える。

【0035】電源部8Yは、定電圧電源部VYと電荷回収回路10Yとを備える。定電圧電源部VYは、定電圧電源VDからなり、電荷回収回路10Yは、プラズマディスプレイパネルの静電容量よりも大きい容量のコンデンサCY、FETトランジスタQ5~Q8、高速にスイッチをON又はOFFするダイオードD3~D4及びインダクタンスL2を備える。

【0036】図4は、走査パルスps、データパルスpx、データパルスpy及びFETトランジスタQ1~Q8のタイミング図である。

【0037】本発明の実施の形態1のプラズマディスプレイパネルの駆動方法の駆動動作につき図1、図2、図3及び図4に沿って説明する。

【0038】まず、コンデンサCXに回収された電荷をデータ電極群DXに印加する。(以下、コンデンサCXに回収された電荷がデータ電極群DXに印加される駆動波形をデータパルスpx1という。)図3及び図4に示すように、フィールドの書き込み期間において、期間T0から期間T1でFETトランジスタQ2をONにして、電荷回収回路10XのコンデンサCXにチャージされている電荷をFETトランジスタQ2、ダイオードD2及びインダクタンスL1を経由してデータ電極群DXの中で書き込み放電をするデータ電極に印加する。

【0039】次に、電極放電後のデータ電極群DYに残存する電荷をグラウンドへ排出する。図4に示すように、期間T1でFETトランジスタQ8をONにして、データ電極群DYをグラウンドレベルにクランプする。

【0040】次に、走査電極に走査パルスpsを印加する。図4に示すように、期間T1の中で、走査パルスpsの印加を開始する。

【0041】すると、データ電極群DXにおいて、書き込み放電可能な電位差に達した走査パルスpsとデータパルスpx1との交点セル内で書き込み放電が開始する。その放電時の走査電極の電流値pix1を図1に示

す。

【0042】次に、データ電極群DXの中で書き込み放電をするデータ電極に定電圧電源8Xを、データ電極群DYの中で書き込み放電をするデータ電極に定電圧電源8Yをそれぞれ駆動電圧として印加する。(以下、定電圧電源VDによってデータ電極群DXの中で書き込み放電をするデータ電極に印加される駆動波形をデータパルスpx2といい、定電圧電源VDによってデータ電極群DYの中で書き込み放電をするデータ電極に印加される駆動波形をデータパルスpy2という。)図4に示すように、期間T2でFETトランジスタQ3及びQ7をONにして、データ電極群DX及びデータ電極群DYの中で書き込み放電をするデータ電極を定電圧電源VDレベルにクランプする。

【0043】すると、データ電極群DYにおいて、走査パルスpsとデータパルスpy2との電位差により、その交点セル内で書き込み放電が開始する。その放電時の電流値piy1を図1に示す。

【0044】書き込み放電後、データ電極群DXにおいて、残存する電荷を電荷回収回路8XのコンデンサCXに回収する。(以下、データ電極群DXに残存する電荷が電荷回収回路に回収される駆動波形をデータパルスpx3という。)図3及び図4に示すように、期間T3から期間T4でFETトランジスタQ1をONにして、データ電極群DXに残存する電荷をインダクタンスL1、ダイオードD1及びFETトランジスタQ1を経由してコンデンサCXに回収する。

【0045】書き込み放電後、データ電極群DY及び走査電極において、残存する電荷をグラウンドへ排出する。

(データ電極群DYに残存する電荷がグラウンドへ排出される駆動波形をデータパルスpygという。)図3及び図4に示すように、期間T3でFETトランジスタQ1をONにして、データ電極群DY及び走査電極をグラウンドレベルにクランプする。

【0046】また、データ電極群DXに残存する電荷を電荷回収回路のコンデンサに回収する期間に、データ電極群DYにおいて、電荷回収回路8YのコンデンサCYに回収された電荷をデータ電極群DYの中で書き込み放電をするデータ電極に印加することを開始する。図3及び図4に示すように、期間T4から期間T5でFETトランジスタQ6をONにして、電荷回収回路10YのコンデンサCYにチャージされている電荷をFETトランジスタQ6、ダイオードD4及びインダクタンスL2を経由してデータ電極群DXの中で書き込み放電をするデータ電極に印加する。

【0047】次に、電極放電後のデータ電極群DXに残存する電荷をグラウンドへ排出する。図4に示すように、期間T5でFETトランジスタQ4をONにして、データ電極群DXをグラウンドレベルにクランプする。

【0048】次に、走査電極に走査パルスpsを印加す

10

20

30

40

50

る。図4に示すように、期間T5の中で、走査パルスpsの印加を開始する。

【0049】すると、データ電極群DYにおいて、書き込み放電可能な電位差に達した走査パルスpsとデータパルスpdy1との交点セル内で書き込み放電が開始する。その放電時の電流値piy2を図1に示す。

【0050】次に、データ電極群DXの中で書き込み放電をするデータ電極に定電圧電源8Xを、データ電極群DYの中で書き込み放電をするデータ電極に定電圧電源8Yをそれぞれ駆動電圧として印加する。図4に示すように、期間T2でFETトランジスタQ3及びQ7をONにして、データ電極群DX及びDYの中で書き込み放電をするデータ電極を定電圧電源VDレベルにクランプする。

【0051】すると、データ電極群DXにおいて、走査パルスpsとデータパルスpdx2との電位差により、その交点セル内で書き込み放電が開始する。その放電時の電流値pix2を図1に示す。

【0052】書き込み放電後、データ電極群DYにおいて、残存する電荷を電荷回収回路8YのコンデンサCYに回収する。図3及び図4に示すように、期間T7から期間T8でFETトランジスタQ5をONにして、データ電極群DYに残存する電荷をインダクタンスL2、ダイオードD3及びFETトランジスタQ5を経由してコンデンサCYに回収する。

【0053】書き込み放電後、データ電極群DX及び走査電極Sにおいて、残存する電荷をグラウンドへ排出する。図3及び図4に示すように、期間T3でFETトランジスタQ1をONにして、データ電極群DX及び走査電極をグラウンドレベルにクランプする。

【0054】上記を繰り返して、書き込み放電を行う。

【0055】前述の実施の形態1のプラズマディスプレイパネルの駆動方法では、データ電極群を2つの群に束ねたが、3つ以上に束ねた場合でも同様な効果がある。

【0056】また、前述の実施の形態1のプラズマディスプレイパネルの駆動方法では、データ電極への印加を書き込み放電としたが、予備放電、維持放電でも同様である。

【0057】また、前述の実施の形態1のプラズマディスプレイパネルの駆動方法では、切替スイッチとしてFETトランジスタを用いたが、他のスイッチにしても同様な効果がある。同様に前述の実施の形態1のプラズマディスプレイパネルの駆動方法では、FETトランジスタはNチャネルを用いたが、チャネルを変更しても本発明に影響を与えることが無いことは言うまでもない。

【0058】

【発明の効果】上述のように本発明は、データ電極を駆動するデータパルスの低消費電力化及び駆動の高速化という2の効果を必要に応じてバランス良く得ることができ、且つ、書き込み放電時の走査電極に電流を分散して供給することにより安定した書き込みができるという効果をもたらした。

【図面の簡単な説明】

【図1】 図1は本発明の実施の形態1における走査電極に印加される走査パルスps、データ電極群DXに印加されるデータパルスpdx、データ電極群DYに印加されるデータパルスpdy及び走査電極の放電電流piを示すタイミング図である。

【図2】 図2は本発明による駆動方法を実現するためのプラズマディスプレイパネルを示す構成図である。

【図3】 図3は、図2のプラズマディスプレイパネルの構成図のうちデータ駆動回路3X及びデータ駆動回路3Yの詳細な回路図を示す。

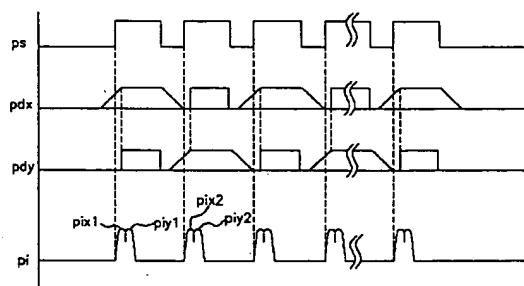
【図4】 図4は、走査パルスps、データパルスpdx、データパルスpdy及びFETトランジスタQ1～Q8のタイミング図である。

【図5】 図5は本発明に用いる4種類のデータパルスの駆動波形図である。

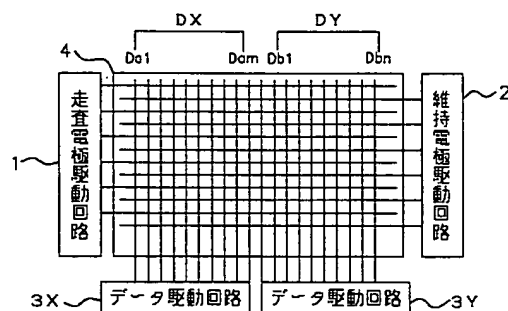
【符号の説明】

3X、3Y	データ電極駆動回路
4	プラズマディスプレイパネル
8X、8Y	電源部
9X、9Y	駆動ドライバ
10X、10Y	電荷回収回路
Dal～Dam	データ電極
Db1～Dbn	データ電極
DX、DY	データ電極群
ps	走査パルス
pdx1、pdx2、pdx3、pdxg	データパルス
pdy1、pdy2、pdy3、pdyg	データパルス
pix1、pix2	電流値
piy1、piy2	電流値
pi	電流値
P1	第1種のデータパルス
P2	第2種のデータパルス
P3	第3種のデータパルス
P4	第4種のデータパルス
VX、VY	定電圧電源部
VD	定電圧電源

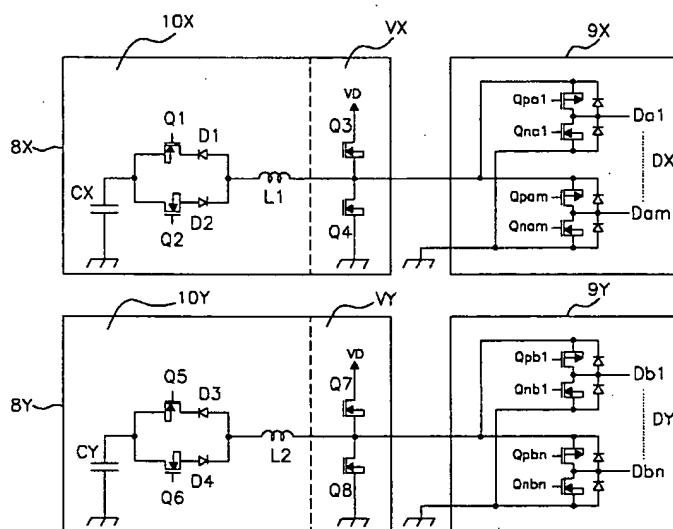
【図1】



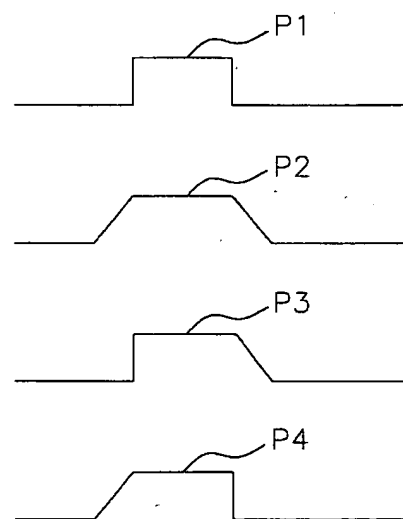
【図2】



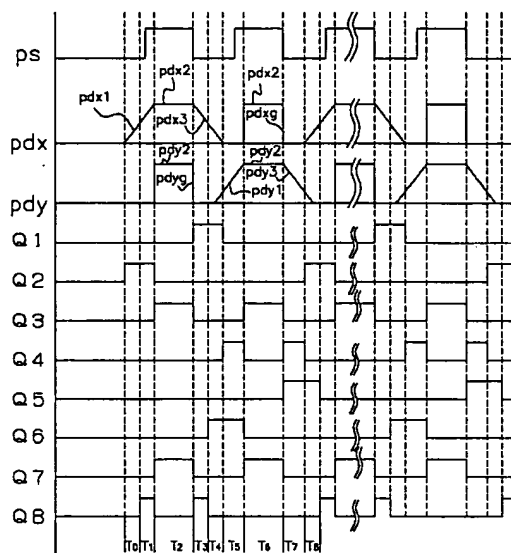
【図3】



【図5】



【図4】



...omitted...

[0025]

[Embodiment of the Invention] A description will now be made on a method of and an apparatus for driving a plasma display panel of the embodiment of the present invention with reference to the drawings.

[0026] Embodiment 1

Fig. 1 is a timing chart showing a scan pulse ps applied to scan electrodes on a panel in Embodiment 1 of the present invention, a pulse px applied to a data electrode group DX , a data pulse py applied to a data electrode group DY , and a discharge current pi flowing through the scan electrodes. Fig. 2 is a structural diagram of a plasma display panel for realizing a driving method according to the present invention.

[0027] As shown in Fig. 2, take-out parts for scan electrodes and sustain electrodes are provided on the ends of the plasma display panel 4 in a horizontal direction. The scan electrode take-out part is connected with a scan electrode driving circuit 1 that outputs a scan pulse ps to each one of the scan electrodes. The sustain electrode take-out part is connected with a sustain electrode driving circuit 2 that outputs a sustain pulse to the sustain electrodes.

[0028] The data electrodes on the panel are grouped into a data electrode group DX including data electrodes $Da1$, $Da2$, ... Dam and a data electrode DY including data electrodes $Db1$,

Db2, ... Dbn, and there are two data electrode take-out parts on the end of the plasma display panel 4 in a vertical direction. One of the data electrode take-out parts is connected with a data driving circuit 3X that outputs a data pulse pdx to the data electrode group DX. The other data electrode take-out part is connected with a data driving circuit 3Y that outputs a data pulse pdy to the data electrode group DY. The data driving circuits 3X and 3Y drive the data electrode groups DX and DY independently.

[0029] Fig. 3 shows a detailed circuit diagram of the data driving circuits 3X and 3Y in the structural diagram of the plasma display panel of Fig. 2.

[0030] The data driving circuit 3X includes a data driver 9X connected to the data electrode group DX, and a power source unit 8X connected to the data driver 9X.

[0031] The data driver 9X includes FET transistors Qp1 to Qp4 and Qn1 to Qn4 that turn on or off in response to writing.

[0032] The power source unit 8X includes a constant voltage power source unit VX and a charge recovery circuit 10X. The constant voltage power source unit VX includes a constant voltage power source VD, and the charge recovery circuit 10X includes a capacitor CX with a larger capacitance than the capacitance of the plasma display panel, FET transistors Q1 to Q4, diodes D1 to D2 that are rapidly switched on or off, and an inductance L1.

[0033] The data driving circuit 3Y includes a data driver 9Y connected to the data electrode group DY, and a power source unit 8Y connected to the data driver 9Y.

[0034] The data driver 9Y includes FET transistors Qpbl to Qpbn and Qnbl to Qnbn that turn on or off in response to writing.

[0035] The power source unit 8Y includes a constant voltage power source unit VY and a charge recovery circuit 10Y. The constant voltage power source unit VY includes a constant voltage power source VD, and the charge recovery circuit 10Y includes a capacitor CY with a larger capacitance than the capacitance of the plasma display panel, FET transistors Q5 to Q8, diodes D3 to D4 that are rapidly switched on or off, and an inductance L2.

[0036] Fig. 4 is a timing chart of the scan pulse ps, data pulse pdx, data pulse pdy and FET transistors Q1 to Q8.

[0037] A description will now be made on a driving operation by a method of driving the plasma display panel of Embodiment 1 of the present invention with reference to Figs. 1, 2, 3 and 4.

[0038] First of all, the charges recovered into the capacitor CX are applied to the data electrode group DX. (A drive waveform provided when the charges recovered into the capacitor CX are applied to the data electrode group DX is hereinafter referred to as a data pulse pdx1.) During a period of writing in a field, the FET transistor Q2 is turned on between a period T0 and a period T1, so that the charges stored in the capacitor CX of the charge recovery circuit 10X are applied via the FET transistor Q2, diode D2 and inductance L1 to a data electrode of the data electrode group DX, which performs the write discharge, as shown in Figs. 3 and 4.

[0039] Then, the remaining charges in the data electrode group DY after the electrode discharge are expelled to ground. In the period T1, the FET transistor Q8 is turned on so as to clamp the data electrode group DY to the ground level as shown in Fig. 4.

[0040] Then, the scan pulse ps is applied to the scan electrodes. The application of the scan pulse ps is started in the period T1 as shown in Fig. 4.

[0041] With the start of this scan pulse application, the write discharge is started, in the data electrode group DX, in a cell at the intersection of the scan pulse ps with the data pulse pdx1 reaching a potential difference that allows the write discharge. A current value pix1 of the scan electrodes during the discharge is indicated in Fig. 1.

[0042] Then, the constant voltage power source 8X is applied as the drive voltage to the data electrode of the data electrode group DX, which performs the write discharge, while the constant voltage power source 8Y is applied as the drive voltage to the data electrode of the data electrode group DY, which performs the write discharge. (A drive waveform applied to the data electrode of the data electrode group DX, which performs the write discharge, by the constant voltage power source VD is hereinafter referred to as a data pulse pdx2, while a drive waveform applied to the data electrode of the data electrode group DY, which performs the write discharge, by the constant voltage power source VD is hereinafter referred to as a data pulse pdy2.) As shown in Fig. 4, in a period T2, the FET transistors Q3 and Q7 are turned on so as to clamp to a constant voltage

power source VD level the data electrodes of the data electrode groups DX and DY, which perform the write discharge.

[0043] When this occurs, the write discharge is started, in the data electrode group DY, in a cell at the intersection of the scan pulse ps with the data pulse pdy2 due to the potential difference between those scan and data pulses. A current value piy1 during the discharge is indicated in Fig. 1.

[0044] After the write discharge, the remaining charges in the data electrode group DX are recovered into the capacitor CX of the charge recovery circuit 8X. (A drive waveform provided when the remaining charges in the data electrode group DX are recovered into the charge recovery circuit is referred to as a data pulse pdx3.) As shown in Figs. 3 and 4, the FET transistor Q1 is turned on between a period T3 and a period T4, so that the charges remaining in the data electrode group DX are recovered into the capacitor CX via the inductance L1, diode D1 and FET transistor Q1.

[0045] After the write discharge, the remaining charges in the data electrode group DY and the scan electrodes are expelled to ground. (A drive waveform provided when the remaining charges in the data electrode group DY are expelled to ground is referred to as a data pulse pdyg.) In the period T3, the FET transistor Q1 is turned on so as to clamp the data electrode group DY and the scan electrodes to the ground level.

[0046] Also, in the data electrode group DY during a period that the remaining charges in the data electrode group DX

are recovered into the capacitor of the charge recovery circuit, the charges recovered into the capacitor CY of the charge recovery circuit 8Y start to be applied to a data electrode of the data electrode group DY, which performs the write discharge. As shown in Figs. 3 and 4, the FET transistor Q6 is turned on between the period T4 and a period T5, so that the charges stored in the capacitor CY of the charge recovery circuit 10Y are applied via the FET transistor Q6, diode D4 and inductance L2 to a data electrode of the data electrode group DX, which performs the write discharge.

[0047] Then, the charges remaining in the data electrode group DX after the electrode discharge are expelled to ground. The FET transistor Q4 is turned on in the period T5 so as to clamp the data electrode group DX to the ground level, as shown in Fig. 4.

[0048] After that, the scan pulse ps is applied to the scan electrodes. The application of the scan pulse ps is started in the period T5, as shown in Fig. 4.

[0049] With the start of this scan pulse application, the write discharge is started, in the data electrode group DY, in a cell at the intersection of the scan pulse ps with a data pulse pdy1 reaching a potential difference that allows the write discharge. A current value piy2 during the discharge is indicated in Fig. 1.

[0050] Then, the constant voltage power source 8X is applied as the drive voltage to the data electrode of the data electrode group DX, which performs the write discharge, while the constant voltage power source 8Y is applied as the

drive voltage to the data electrode of the data electrode group DY, which performs the write discharge. In the period T2, the FET transistors Q3 and Q7 are turned on so as to clamp to the constant voltage power source VD level the data electrodes of the data electrode groups DX and DY, which perform the write discharge, as shown in Fig. 4.

[0051] With this clamping, the write discharge is started, in the data electrode group DX, in a cell at the intersection of the scan pulse ps with the data pulse pdx2 due to the potential difference between those scan and data pulses. A current value pix2 provided during the discharge is indicated in Fig. 1.

[0052] After the write discharge, the remaining charges in the data electrode group DY are recovered into the capacitor CY of the charge recovery circuit 8Y. As shown in Figs. 3 and 4, the FET transistor Q5 is turned on between a period T7 and a period T8, so that the remaining charges in the data electrode group DY are recovered via the inductance L2, diode D3 and FET transistor Q5 into the capacitor CY.

[0053] After the write discharge, the remaining charges in the data electrode group DX and the scan electrodes S are expelled to ground. In the period T3, the FET transistor Q1 is turned on so as to clamp the data electrode group and the scan electrodes to the ground level, as shown in Figs. 3 and 4.

[0054] The above processing is repeated to perform the write discharge.

[0055] While the method of driving a plasma display panel according to the above Embodiment 1 uses two data electrode

groups, the method using three or more data electrode groups may provide the same effects.

[0056] While the application to the data electrodes indicates a write discharge in the above method of driving a plasma display panel according to the above Embodiment 1, a preliminary discharge or a sustain discharge may similarly be applied.

[0057] While the FET transistors are used as change-over switches in the above method of driving a plasma display panel according to Embodiment 1, other switches may also provide the same effects. Similarly, while the N-channel FET transistors are used in the above method of driving a plasma display panel according to Embodiment 1, it is needless to say that even if the N channel is changed to another channel, it may not affect the present invention.

[0058]

[Effect of the Invention] As has been mentioned above, the present invention may provide as required such two balanced effects as lower power consumption and faster driving for a data pulse used to drive a data electrode, and provides such an effect that stable writing can be made by supplying a current to be distributed to the scan electrodes in the write discharge period.

...omitted...